

Searching PAJ

페이지 1 / 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140355
(43)Date of publication of application : 20.05.1994

(51)Int. Cl. H01L 21/28
H01L 21/3205
H01L 29/62
H01L 29/784

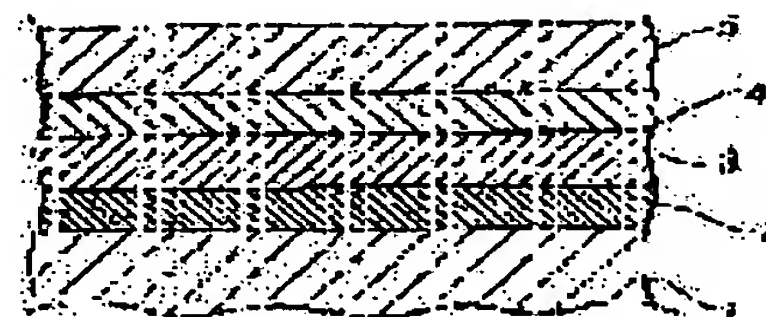
(21)Application number : 04-311383 (71)Applicant : NIPPON STEEL CORP
(22)Date of filing : 26.10.1992 (72)Inventor : NAKANO ATSUSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To increase reliability through prevention of the peeling between a semiconductor polycrystalline layer containing an impurity and a high-melting point metal layer above the semiconductor polycrystalline layer by interposing an amorphous layer of a material similar to the semiconductor polycrystalline layer between the semiconductor polycrystalline layer and the high-melting point metal layer.

CONSTITUTION: After forming a gate oxide film 2 on a P-type silicon substrate 1, a polycrystalline silicon layer 3 is grown, and phosphorus is diffused into the polycrystalline silicon layer 3 as an impurity. Then, an amorphous silicon layer 4 containing no impurity is formed, and subsequently a tungsten silicide layer 5 as a high-melting point metal layer is formed. Thus, the amorphous silicon layer 4 is deposited on the polycrystalline silicon layer 3 to increase the adhesion between the both, and the tungsten silicide layer 5 is successively formed on the amorphous silicon layer 4 also to increase the adhesion between the both. By this, peeling can be prevented also in performing an anneal treatment, whereby the reliability of semiconductor devices.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-140355

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 21/28	3 0 1 D	7376-4M		
21/3205				
29/62	G	7376-4M		
		7514-4M	H 0 1 L 21/ 88	Q
		7377-4M	29/ 78	3 0 1 G
審査請求 未請求 請求項の数3(全 3 頁) 最終頁に続く				

(21)出願番号 特願平4-311383

(22)出願日 平成4年(1992)10月26日

(71)出願人 000006855

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 中野 敦

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

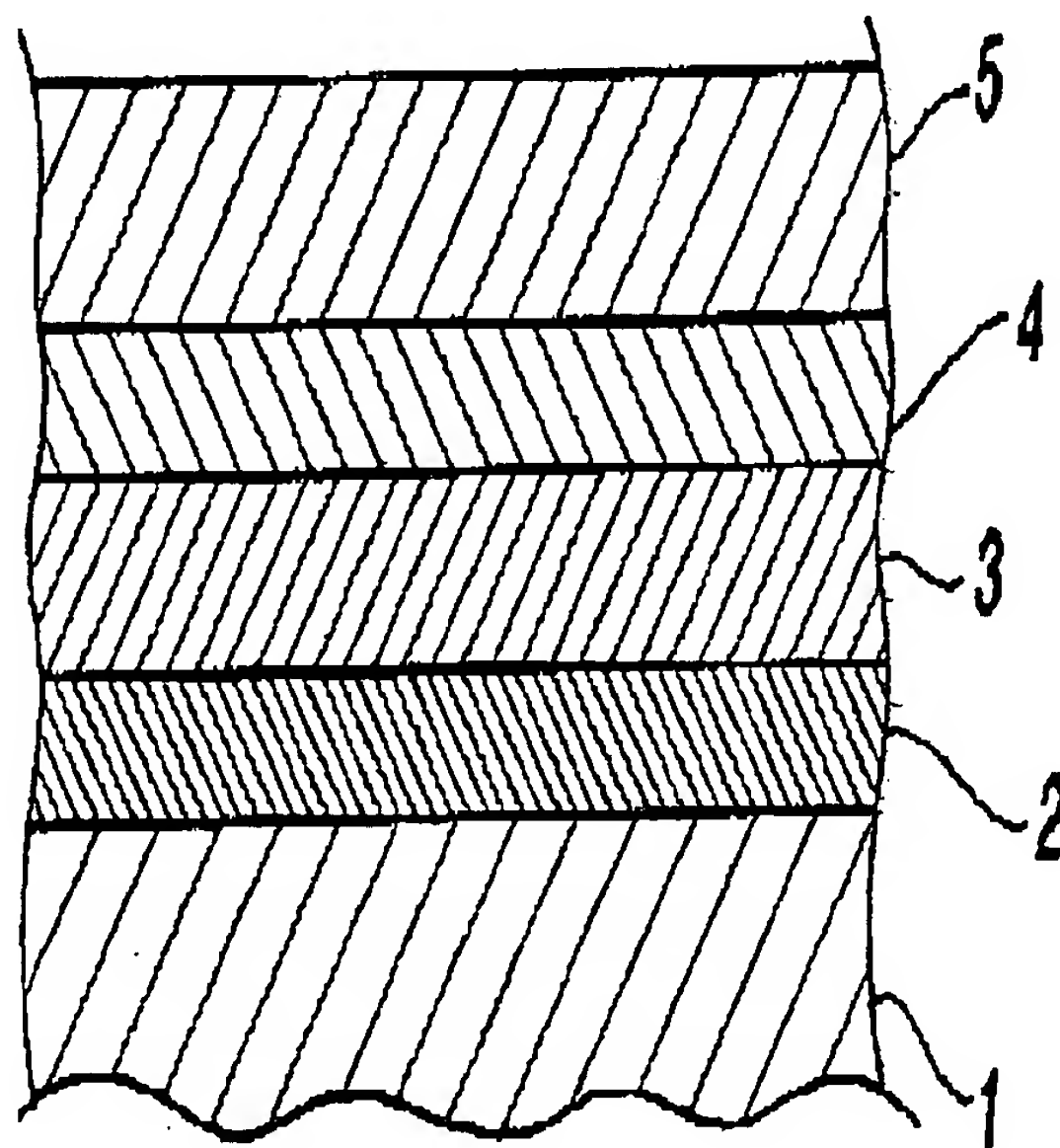
(74)代理人 弁理士 大島 陽一

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 不純物を含む半導体多結晶層と高融点金属層との間の剥離を防止して信頼性を向上することが可能な半導体装置及びその製造方法を提供する。

【構成】 半導体多結晶層とゲート電極等に用いられる高融点金属層との間に半導体多結晶層と同様な材料からなる非晶質層を介在させることにより、アニール処理を施す際にも、各層間の密着性が劣化することがなく、剥離等が発生する心配がないことから半導体装置の信頼性が向上する。



【特許請求の範囲】

【請求項1】 半導体多結晶層と、高融点金属層とが積層された半導体装置であって、前記半導体多結晶層と、前記高融点金属層との間に前記半導体多結晶層と同様な材料からなる非晶質層を介在させたことを特徴とする半導体装置。

【請求項2】 基板上に半導体多結晶層を形成する過程と、前記半導体多結晶層上に該半導体多結晶層と同様な材料からなる非晶質層及び高融点金属層を連続的に形成する過程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記非晶質層及び前記高融点金属層をスパッタリング法によりこの順番に連続的に形成することを特徴とする請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関し、特にゲート電極や配線にタングステンシリサイド (WSi_2) 等の高融点金属を用いる半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 従来からIC等の半導体装置に於て、ゲート電極や配線に白金シリサイド ($PtSi_2$) やタングステンシリサイド (WSi_2) 等の高融点金属が用いられたものがある。このような半導体装置の一例として、半導体シリコン基板上にゲート酸化膜を形成した後、多結晶シリコンを成長させ、その抵抗を下げるべく不純物としてリンを拡散させ、更に低圧スパッタリング法或いは気相成長法 (LP-CVD) 等によりタングステンシリサイド層を形成したものがある。

【0003】 しかしながら、上記した金属シリサイド層 (膜) は不純物が拡散された多結晶シリコンに対する密着性が悪く、その後の結晶化のためのアニール処理段階で剥離し易くなると云う問題があった。これは、金属シリサイド膜と多結晶シリコンとの間に限らず、半導体多結晶層と高融点金属との間に一般的に生じる問題であり、その改善が望まれていた。

【0004】

【発明が解決しようとする課題】 本発明は上記したような従来技術の問題点に鑑みなされたものであり、その主な目的は、不純物を含む半導体多結晶層と高融点金属層との間の剥離を防止して信頼性を向上することが可能な半導体装置及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】 上記した目的は本発明によれば、半導体多結晶層と、高融点金属層とが積層された半導体装置であって、前記半導体多結晶層と、前記高融点金属層との間に前記半導体多結晶層と同様な材料からなる非晶質層を介在させたことを特徴とする半導体装

置及び基板上に半導体多結晶層を形成する過程と、前記半導体多結晶層上に該半導体多結晶層と同様な材料からなる非晶質層及び高融点金属層を連続にスパッタリング法により形成する過程とを有することを特徴とする半導体装置の製造方法を提供することにより達成される。

【0006】

【作用】 このように、不純物を含む半導体多結晶層とその上層側の高融点金属層との間に半導体多結晶層と同様な材料からなる非晶質層を介在させることにより、半導体多結晶層と非晶質層との間の密着性が高く、かつ非晶質層と高融点金属層との間の密着性が高いことから、高融点金属層の剥離を防止できる。特に公知の薄膜形成法により非晶質層と高融点金属層とを連続的に形成することにより、その密着性は一層向上する。

【0007】

【実施例】 以下、本発明の好適実施例を添付の図面について詳しく説明する。

【0008】 図1は、本発明が適用された半導体装置の模式的な断面図である。この半導体装置は、P型シリコン基板1上にゲート酸化膜2と、リンをドーパントとして拡散してなる半導体多結晶層としての多結晶シリコン層3と、非晶質層としての非晶質シリコン層4と、高融点金属層としてのタングステンシリサイド層5とを有している。

【0009】 次に、この半導体装置の製造手順について説明する。まず、P型シリコン基板1上にゲート酸化膜2を20nm形成させた後、多結晶シリコン層3を150nm成長させ、この多結晶シリコン層3に不純物としてリンを $5 \times 10^{20} \text{cm}^{-3}$ の濃度で拡散させる。

【0010】 次に、多結晶シリコン層3上に生じたリンガラス層を除去した後、スパッタリング法により、不純物を含まない非晶質シリコン層を15nm形成し、続けて高融点金属層としてのタングステンシリサイド層5を形成する。

【0011】 このようにして、多結晶シリコン層3上に非晶質シリコン層4を積層することにより、両者間の密着性が向上する。また、この非結晶シリコン層4上に連続的にタングステンシリサイド層5を形成することから、これら両者間の密着性も向上する。従って、上記各層を形成後にアニール処理する際にもタングステンシリサイド層5の剥離が生じる心配がなく、半導体装置の信頼性が向上する。

【0012】

【発明の効果】 上記した説明により明らかなように、本発明による半導体装置及びその製造方法によれば、半導体多結晶層とゲート電極等に用いられる高融点金属層との間に半導体多結晶層と同様な材料からなる非晶質層を介在させることにより、アニール処理を施す際にも、各層間の密着性が劣化することがなく、剥離等が発生する心配がないことから半導体装置の信頼性が向上する。以

上のことから本発明の効果は大である。

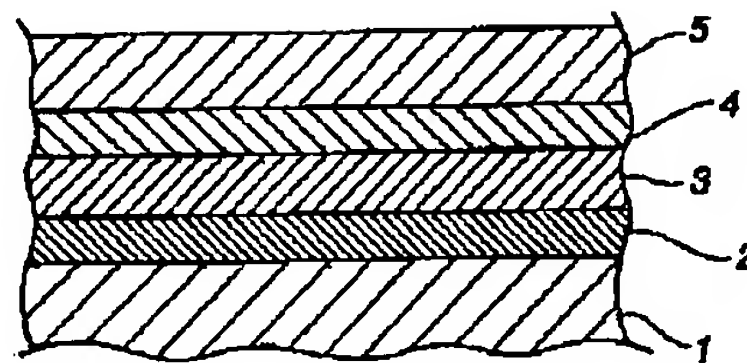
【図面の簡単な説明】

【図1】本発明が適用された半導体装置の概略構成を示す側断面図である。

【符号の説明】

- 1 P型シリコン基板
- 2 ゲート酸化膜
- 3 多結晶シリコン層
- 4 非晶質シリコン層
- 5 タングステンシリサイド層

【図1】



フロントページの続き

(51) Int. Cl.⁵
H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所